



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07074611 A**(43) Date of publication of application: **17.03.95**

(51) Int. Cl.

**H03K 19/003****H01L 23/60****H03K 17/08**(21) Application number: **05216009**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **31.08.93**(72) Inventor: **MIZUKOSHI KUNIHIRO**

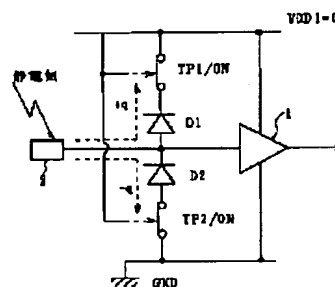
## (54) INPUT CIRCUIT

## (57) Abstract:

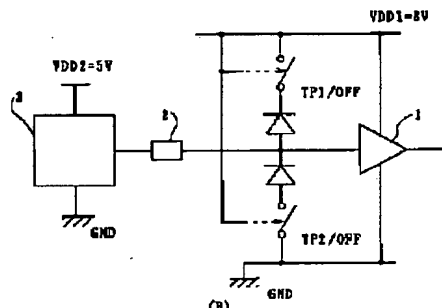
**PURPOSE:** To secure both an electrostatic protecting function and a current pass preventing function by connecting a switching element between an electrostatic protecting diode and a power line and performing the ON/OFF control of the switching element based on the rise of the power line potential.

**CONSTITUTION:** The source and the gate of a transistor TR TP1 are connected to a power line VDD1, the drain of a TR TP2 is connected to a ground line GND, and the gate of the TP2 is connected to the line VDD1 respectively. Then the gates of both TP1 and TP2 undergo the ON/OFF control based on the rise of the VDD1. For instance, the TP1 and TP2 are turned on owing to VDD=0V in the case of the IC of a 3V drive system is kept inactive. Therefore the positive charge (+9) that reluctantly got into an input pin 2 is passed to a diode D1, the TP1 and then VDD1. Thus an input buffer 1 is protected. Meanwhile the negative charge (-9) got into the pin 2 is passed to a diode D2, the TP2 and then the GND.

COPYRIGHT: (C)1995,JPO



(A)



(B)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-74611

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H03K 19/003	E			
	Z			
H01L 23/60				
H03K 17/08	A	9184-5J		
			H01L 23/56	B
			審査請求 未請求	請求項の数2 OL (全5頁)

(21)出願番号 特願平5-216009

(22)出願日 平成5年(1993)8月31日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 水越 邦寛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

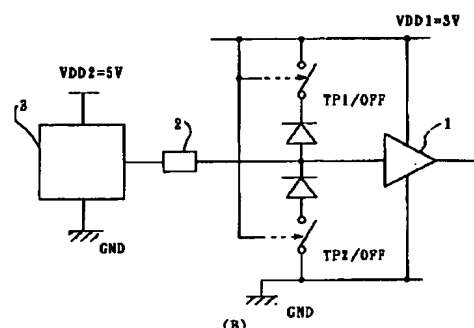
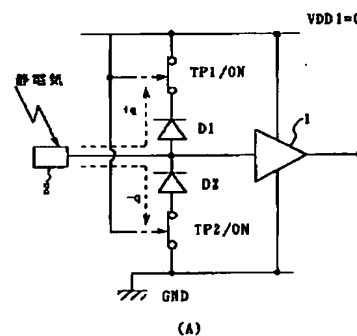
#### (54)【発明の名称】 入力回路

#### (57)【要約】

【目的】 本発明は、入力回路の改善に関し、駆動電源が異なる半導体集積回路を混在させる場合に、その低電圧駆動側の回路の静電気保護機能と電流パス防止機能とを両立させ、その低消費電力化を図ること。

【構成】 入力バッファの入力部に静電気保護用ダイオードが接続された入力回路において、静電気保護用ダイオードと電源線との間にスイッチング素子が接続され、スイッチング素子が電源線電位の立ち上がりに基づいてオン・オフ制御される。スイッチング素子がp型の電界効果トランジスタを含む。

本発明の実施例に係る入力回路の機能説明図



## 【特許請求の範囲】

【請求項 1】 入力バッファの入力部に静電気保護用ダイオードが接続された入力回路において、前記静電気保護用ダイオードと電源線との間にスイッチング素子が接続され、前記スイッチング素子が電源線電位の立ち上がりに基づいてオン・オフ制御されることを特徴とする入力回路。

【請求項 2】 請求項 1 記載の入力回路において、前記スイッチング素子が p 型の電界効果トランジスタを含むことを特徴とする入力回路。

## 【発明の詳細な説明】

## 【0001】

## 〔目 次〕

産業上の利用分野

従来の技術（図 3）

発明が解決しようとする課題

課題を解決するための手段

作用

実施例（図 1、2）

発明の効果

## 【0002】

【産業上の利用分野】本発明は、入力回路に関するものであり、更に詳しく言えば、駆動電源が異なる半導体集積回路が接続されるデバイスシステムの静電気対策と電流パス防止対策に関するものである。近年、超微細加工、高集積化技術の発達に伴い 2～3〔V〕程度の低電圧で駆動可能な半導体集積回路装置（以下 IC という）が開発製造されている。また、現在使用されているマイクロコンピュータを中心とする CMOS 集積回路は 5 V 駆動系が中心である。一方、市場では電池から駆動電源を供給する携帯用電子機器の要求があり、多電源 IC システムを採用した場合でも、低消費電力化が必須条件となっている。

【0003】従って、電子機器の低消費電力化及び機能向上の要請から 5 V 駆動系の IC と 3 V 駆動系の IC とを共存させる必要がある。しかし、後者の静電気保護用のダイオードにより、前者の出力回路と後者の入力回路との間に電流パス回路が生じ、無駄な電流が流れるようになる。そこで、駆動電源が異なる IC を混在させる場合に、その 3 V 駆動系の回路の静電気保護機能と電流パス防止機能を両立させ、その低消費電力化を図ることができる回路が望まれている。

## 【0004】

【従来の技術】図 3 は、従来例に係る説明図である。図 3（A）は、従来例に係る入力回路の構成図であり、図 3（B）は、その問題点を説明する構成図をそれぞれ示している。例えば、2～3 V 程度の低電圧で駆動する IC の入力回路は、図 3（A）において、入力バッファ 1、正電荷保護用ダイオード D 1 及び負電荷保護用ダイオード D 2 から成る。

【0005】入力バッファ 1 は入力ピン 2 に接続され、ダイオード D 1、D 2 の一端が入力バッファ 1 の入力部に接続される。ダイオード D 1 の他端は電源線 VDD 1 に接続され、ダイオード D 2 の他端は接地線 GND に接続される。ダイオード D 1、D 2 の機能は、当該 IC が非駆動状態、すなわち、VDD 1 = 0 V 時に入力ピン 2 から不本意に静電気が侵入した場合、入力バッファ 1 を保護するものである。例えば、正電荷 + q が入力ピン 2 から侵入した場合には、それをダイオード D 1 により電源線 VDD 1 にパスする。また、負電荷 - q が入力ピン 2 から侵入した場合には、それをダイオード D 2 により接地線 GND にパスする。

【0006】これにより、入力バッファ 1 を構成する MOS トランジスタ回路やバイポーラトランジスタ回路等のゲートやベースが保護される。

## 【0007】

【発明が解決しようとする課題】ところで、従来例によれば、電子機器の低消費電力化及び機能向上の要請から 5 V 駆動系の IC と 2～3 V 駆動系の IC とを共存させる必要がある。しかし、図 3（B）に示すように、VDD 2 = 5 V 駆動系の出力回路 3 と VDD 1 = 3 V 駆動系の入力バッファ 2 との間に電流パス回路が生じる。

【0008】この電流パス回路は、図 3（B）において、出力回路 3 が入力ピン 2 を介して入力バッファ 2 に接続されるため、電源線 VDD 2 → 出力回路 3 → ダイオード D 1 → 電源線 VDD 1 に至る経路により生ずる。このため、電源線 VDD 2 と VDD 1 との電位差 2 V により無駄な電流が流れるようになる。なお、3 V 駆動系の出力回路と 3 V 駆動系の入力バッファ 2 とを接続した際には、このような電流パス回路は生じない。

【0009】これにより、多電源 IC デバイスを構成する場合に、敢えて 3 V 駆動系の入力回路からダイオード D 1 を取り外さなくてはならない状況に迫られる。このことで、負電荷の侵入に対してはダイオード D 2 よりゲートを保護することができるが、正電荷の侵入に対してゲートを保護することが困難となるという問題がある。

【0010】本発明は、かかる従来例の問題点に鑑み創作されたものであり、駆動電源が異なる半導体集積回路を混在させる場合に、その低電圧駆動側の回路の静電気保護機能と電流パス防止機能を両立させ、その低消費電力化を図ることが可能となる入力回路の提供を目的とする。

## 【0011】

【課題を解決するための手段】本発明の入力回路は、その一実施例を図 1 に示すように、入力バッファの入力部に静電気保護用ダイオードが接続された入力回路において、前記静電気保護用ダイオードと電源線との間にスイッチング素子が接続され、前記スイッチング素子が電源線電位の立ち上がりに基づいてオン・オフ制御されることを特徴とする。

【0012】なお、本発明の入力回路において、前記スイッチング素子がp型の電界効果トランジスタを含むことを特徴とし、上記目的を達成する。

#### 【0013】

【作 用】本発明の入力回路は、図1の実施例に示すように、静電気保護用ダイオードと電源線との間に、例えば、p型の電界効果トランジスタから成るスイッチング素子が接続される。このため、電源線電位の立ち上がりに基づいてスイッチング素子をオン・オフ制御することにより、駆動電源が異なる半導体集積回路を混在させる場合に、その低電圧駆動側の回路の静電気保護機能と電流パス防止機能を両立させることが可能となる。すなわち、低電圧駆動側の回路が単体で存在し、その回路が非動作状態の場合には、電源線=零電位により当該トランジスタがON動作をする。これにより、不本意に侵入した静電気は当該ダイオードにより電源線にパスされ、入力バッファが保護される。

【0014】また、高電圧駆動系の半導体集積回路と低電圧駆動系の半導体集積回路が接続された場合であって、両回路が動作状態の場合には、両電源線間に電位差は生ずるものの、当該トランジスタがOFF動作をする。このことから、従来例のような電流パス回路は生じない。これにより、駆動電源が異なる半導体集積回路を混在させた多電源LSIの低消費電力化を図ることが可能となる。

#### 【0015】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図1は、本発明の実施例に係る入力回路の構成図であり、図2は、その機能説明図をそれぞれ示している。例えば、2〜3V程度の低電圧で駆動するICの入力回路は、図1(A)において、入力バッファ1、正電荷保護用ダイオードD1、負電荷保護用ダイオードD2及びトランジスタTP1、TP2から成る。

【0016】入力バッファ1はMOSトランジスタ回路やバイポーラトランジスタ回路から成り、それが入力ピン2に接続される。ダイオードD1は正電荷から入力バッファ1を保護するものであり、その一端が入力バッファ1の入力部に接続される。その他端がトランジスタTP1のドレインに接続される。ダイオードD2は負電荷から入力バッファ1を保護するものであり、その一端が入力バッファ1の入力部に接続される。その他端がトランジスタTP2のソースに接続される。

【0017】トランジスタTP1、TP2はスイッチング素子の一例であり、p型の電界効果トランジスタから成る。トランジスタTP1のソースとゲートとが電源線VDD1に接続され、トランジスタTP2のドレインが接地線GNDに接続され、そのゲートが電源線VDD1に接続される。なお、トランジスタTP1、TP2のゲートが電源線VDD1の立ち上がりに基づいてオン・オフ制御される。

【0018】次に、当該入力回路の動作を説明する。図

2(A)において、例えば、3V駆動系のICが単体で存在し、そのICが非動作状態の場合には、電源線VDD1=0Vにより当該トランジスタTP1、TP2がON動作をする。これにより、不本意に入力ピン2に侵入した正電荷+qはダイオードD1→TP1→電源線VDD1にパスされ、入力バッファ1が保護される。また、入力ピン2に侵入した負電荷-qはダイオードD2→TP2→接地線GNDにパスされ、入力バッファ1が保護される。

【0019】さらに、図2(B)において、例えば、5V駆動系の出力回路3と3V駆動系の入力バッファ1とが接続された場合であって、両駆動系が動作状態の場合には、電源線VDD1=3Vにより当該トランジスタTP1、TP2がOFF動作をする。これにより、両電源線VDD2=5V、VDD1=3V間に電位差2Vは生ずるものの、従来例のような出力回路3→入力ピン2→ダイオードD1→電源線VDD1に至る電流パス回路は生じない。

【0020】このようにして、本発明の実施例に係る入力回路によれば、図1に示すように、正・負電荷保護用ダイオードD1、D2と電源線VDD1、接地線GNDとの間に、p型の電界効果トランジスタTP1、TP2が接続される。このため、電源線VDD1の立ち上がりに基づいてトランジスタTP1、TP2をオン・オフ制御することにより、5V駆動系のICと3V駆動系のICとを混在させる場合に、3V駆動系のICの静電気保護機能と電流パス防止機能を両立させることが可能となる。従って、多電源ICデバイスを構成する場合に、敢えて3V駆動系の入力回路からダイオードD1を取り外さなくても済む。

【0021】これにより、従来例通り製造工程途中及び3V駆動系の単体LSIにおいて、不本意に侵入する静電気から入力バッファ1のゲートを保護することが可能となる。また、多電源ICシステムの低消費電力化を図ることが可能となる。

#### 【0022】

【発明の効果】以上説明したように、本発明の入力回路によれば静電気保護用ダイオードと電源線との間にスイッチング素子が接続され、それが電源線の立ち上がりに基づいてオン・オフ制御される。このため、駆動電源が異なる半導体集積回路を混在させる場合に、その低電圧駆動側の回路の静電気保護機能と電流パス防止機能を両立させることが可能となる。これにより、多電源LSIシステムの低消費電力化に寄与するところが大きい。

#### 【図面の簡単な説明】

【図1】本発明の実施例に係る入力回路の構成図である。

【図2】本発明の実施例に係る入力回路の機能説明図である。

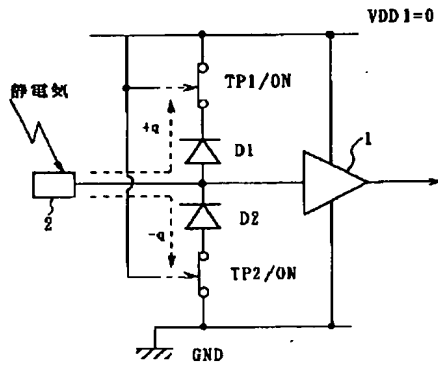
【図3】従来例に係る入力回路及びその問題点を説明する構成図である。

#### 【符号の説明】

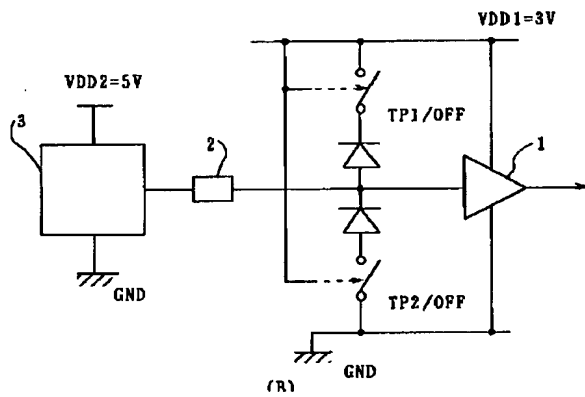
- 1…入力バッファ、  
2…入力ピン、  
3…出力回路、

【図 1】

本発明の実施例に係る入力回路の機能説明図



(A)



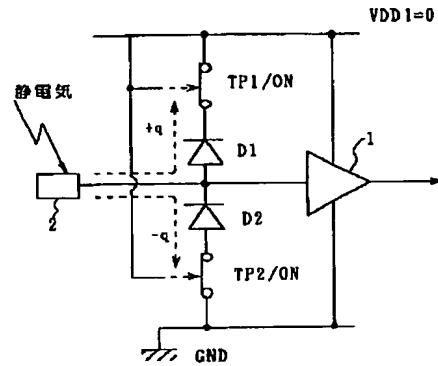
(B)

- \* TP1, TP2…p型の電界効果トランジスタ (スイッチング素子)。

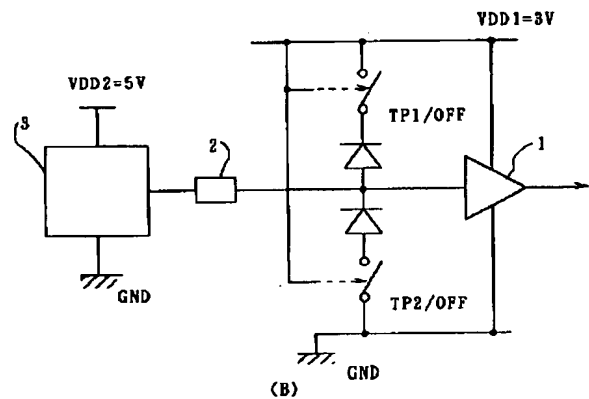
\*

【図 2】

本発明の実施例に係る入力回路の機能説明図



(A)



(B)

【図3】

従来例に係る入力回路及びその問題点を説明する構成図

